

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-012703

(43)Date of publication of application : 14.01.2000

(51)Int.Cl.

H01L 21/8238  
H01L 27/092  
H01L 21/205  
H01L 29/778  
H01L 21/338  
H01L 29/812

(21)Application number : 10-170781

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.06.1998

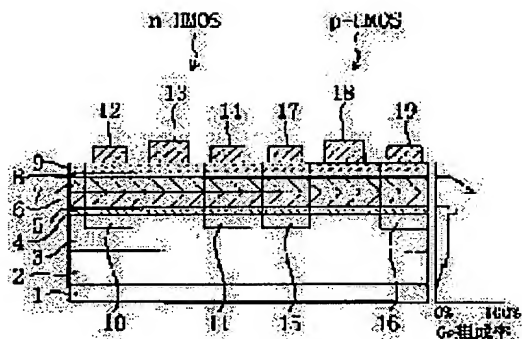
(72)Inventor : NOZAWA KATSUYA  
KUBO MINORU  
SAITO TORU

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the mixture of a carrier producing impurity in a spacer layer on an area containing the impurity at a high concentration caused by the residual partial pressure of a dopant gas.

**SOLUTION:** In an HCMOS, an n-type SiGe heavily-doped layer 4, an SiGe spacer layer 5, and an Si n-channel layer 6 are provided in this order on an SiGe buffer layer 3. The percentages composition of Ge in the buffer layer 3 and spacer layer 4 are 10% and that of Ge in the heavily-doped layer 4 is 20%. Since the impurity concentration in an SiGe layer can be reduced to about 1/5, when the percentage composition of Ge in the layer is reduced to 10% from 20%, the concentration of a carrier producing impurity in the spacer layer 5 can be reduced.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

{Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-12703  
(P2000-12703A)

(43)公開日 平成12年 1 月14日 (2000.1.14)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマト (参考)
H 0 1 L	21/8238	H 0 1 L 27/08	3 2 1 C 5 F 0 4 5
	27/092	21/205	5 F 0 4 8
	21/205	29/80	H 5 F 1 0 2
	29/778		
	21/338		

審査請求 未請求 請求項の数11 O L (全 12 頁) 最終頁に続く

(21)出願番号	特願平10-170781	(71)出願人	000003821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成10年 6 月18日 (1998. 6. 18)	(72)発明者	能澤 克弥 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72)発明者	久保 実 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74)代理人	10007/931 弁理士 前田 弘 (外 2 名)

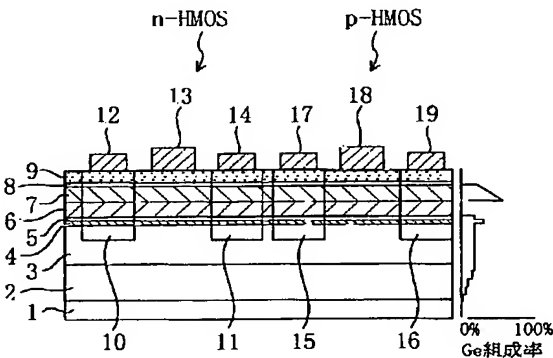
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 キャリア生成用不純物を高濃度に含む領域の上のスペーサー層におけるドーパントガスの残留分圧に起因する不純物の混入を防止する。

【解決手段】 HCMOSにおいて、SiGeバッファ層3の上に、SiGeからなるn型高濃度ドーパ層4と、SiGeからなるスペーサー層5と、Siからなるnチャネル層6とが設けられている。SiGeバッファ層3及びスペーサー層5におけるGe組成率は10%であり、n型高濃度ドーパ層4におけるGe組成率は20%である。SiGe層中のGe組成率を20%から10%に低減することにより、SiGe層中の不純物濃度を1/5程度に低減することができることから、スペーサー層5におけるキャリア生成用不純物の濃度を低減することができる。



- |               |           |
|---------------|-----------|
| 1 Si基板        | 11 ドレイン領域 |
| 2 SiGe緩和バッファ層 | 12 ソース電極  |
| 3 SiGeバッファ層   | 13 ゲート電極  |
| 4 n型高濃度ドーパ層   | 14 ドレイン電極 |
| 5 スペーサー層      | 15 ソース領域  |
| 6 nチャネル層      | 16 ドレイン領域 |
| 7 pチャネル層      | 17 ソース電極  |
| 8 SiGeバッファ層   | 18 ゲート電極  |
| 9 ゲート絶縁膜      | 19 ドレイン電極 |
| 10 ソース領域      |           |

(2) 開2000-12703 (P2000-12703A)

## 【特許請求の範囲】

【請求項1】 基板上に、キャリアが蓄積されるキャリア蓄積領域と、該キャリア蓄積領域にキャリアを供給するためのキャリア供給領域と、上記キャリア蓄積領域と上記キャリア蓄積領域との間に設けられたスペーサー層とを備えた半導体装置の製造方法であって、キャリア生成用不純物を含む第1の気体を供給して、上記キャリア供給領域用の第1の結晶層を基板上に成長させる第1のステップと、第2の気体を供給して、上記第1の結晶層の上に、上記キャリア生成用不純物の取り込み効率が第1の結晶層よりも小さい材料からなり、上記スペーサー層用の第2の結晶層を成長させる第2のステップと、第3の気体を供給して、上記第2の結晶層の上に、上記キャリア蓄積領域用の第3の結晶層を成長させる第3のステップとを含むことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

上記第2及び第3のステップでは、上記キャリア生成用不純物を実質的に含まない上記第2及び第3の気体を供給することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、

上記第1の結晶層はGeを含み、

上記第2の結晶層がSiにより構成されていることを特徴とする半導体装置の製造方法。

【請求項4】 請求項1記載の半導体装置の製造方法において、

上記第1及び第2の結晶層が $Si_{1-x}Ge_x$  ( $0 \leq x \leq 1$ )により構成されており、かつ、上記第2の結晶層のGe組成率が上記第1の結晶層のGe組成率よりも大きいことを特徴とする半導体装置の製造方法。

【請求項5】 請求項3又は4記載の半導体装置の製造方法において、

上記第1及び第2の結晶層の成長には、Geの水素化物とSiの水素化物とを用いることを特徴とする半導体装置の製造方法。

【請求項6】 基板と、

上記基板上に設けられ、キャリアが供給されるキャリア蓄積領域と、キャリア生成用不純物を含み、上記キャリア蓄積領域にキャリアを供給するためのキャリア供給領域と、上記キャリア蓄積領域と上記キャリア蓄積領域との間に設けられ、上記キャリア生成用不純物の取り込み効率が上記キャリア供給領域よりも小さい材料により構成されるスペーサー層とを備えていることを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、上記スペーサー層及び上記キャリア蓄積領域は上記キャ

リア生成用不純物を実質的に含まないことを特徴とする半導体装置。

【請求項8】 請求項6記載の半導体装置において、上記キャリア供給領域はGeを含み、上記スペーサー層がSiにより構成されていることを特徴とする半導体装置。

【請求項9】 請求項6記載の半導体装置において、上記キャリア供給領域及び上記スペーサー層が $Si_{1-x}Ge_x$  ( $0 \leq x \leq 1$ )により構成されており、かつ、上記スペーサー層のGe組成率が上記キャリア供給領域のGe組成率よりも大きいことを特徴とする半導体装置。

【請求項10】 請求項8又は9記載の半導体装置において、

上記キャリア蓄積領域は、上記キャリア供給領域内のキャリア生成用不純物と同一極性のキャリアを走行させるチャネル領域として機能することを特徴とする半導体装置。

【請求項11】 請求項10記載の半導体装置において、

上記スペーサー層及び上記キャリア蓄積領域は上記キャリア生成用不純物を実質的に含んでいないことを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、主に半導体装置の製造工程における技術、特に不純物ドーピング技術とそれを用いて作成される半導体装置に関するものである。

【0002】

【従来の技術】半導体デバイスの製造工程において、シリコン単結晶層やポリシリコン層などの半導体層に不純物をドーピングする技術はデバイス中の素子の特性を決定づける上で非常に重要な位置を占めている。その理由は、素子内における不純物の濃度分布などが素子の特性を大きく左右するためである。すなわち、高い性能を有する素子を得るためには、ドーパントの濃度や濃度の空間的分布を可能な限り高精度に制御することが必要である。そこで、所望の不純物濃度や不純物の濃度分布を得るために、これまで様々なドーピング技術が開発されてきた。

【0003】ここで、現在、高性能素子を形成するためのドーピング技術の1つとして、ドーピングされるべき結晶をエピタキシャル成長させる時に、不純物も同時供給させてやり、結晶成長させながらドーピングも同時に行なうというin-situ ドーピング技術がある。この方法によると、不純物の濃度分布を高い精度で制御することが可能である。すなわち、in-situ ドーピングにおいては、成長速度を制限してやれば、原子層オーダーで組成制御を行なうことが原理的には可能である。また、不純物を半導体層内に結晶格子の構成要素として取り込みながら導入できるので、基本的には、イオン注入法のごと

(3) 開2000-12703 (P2000-12703A)

く結晶格子内の半導体原子と注入イオンとの置換を行なう(活性化の)ための熱処理は不要である。さらに、半導体層の表面付近の浅い領域に高濃度の不純物をドーピングする場合でも、深い領域にドーピングする場合とほぼ同様の成長時間で良い。つまり、イオン注入法のごとくイオン注入エネルギーを変える必要はない。

【0004】かかるin-situ ドーピング技術の特徴を生かしたデバイスとしては、種々のヘテロデバイスを挙げることができる。ヘテロデバイスとは、本来互いにバンドギャップ値の異なる複数の半導体結晶層を積層することにより高性能の素子を得ようとするものである。そのため、ヘテロデバイスの作成にはヘテロエピタキシャル成長技術を用いるのが一般的であり、このエピタキシャル成長の際に不純物原子を添加すれば容易に所望の不純物濃度分布を実現できる。したがって、in-situ ドーピング技術はヘテロデバイス内の不純物濃度を制御するために適した技術といえる。

【0005】例えば、in-situ ドーピング技術が重要な意味を持つヘテロデバイスの例として、ヘテロ電界効果トランジスタを挙げることができる。ヘテロ電界効果トランジスタは、ヘテロ接合により発生したエネルギーバンドの不連続部(ヘテロ界面)にキャリアを蓄積して、これをチャネル領域として利用する素子である。

【0006】図5は、文献1 (Sadek ら IEEE Transact ions on electron devices Vol.43No.8 p.1224-1232) により報告されているヘテロ電界効果トランジスタの1種であるHCMOSの断面図である。同図に示すように、Si基板61の上には、SiGe緩和バッファ層62と、SiGeバッファ層63と、n型高濃度ドーピング層64と、スペーサー層65と、nチャネル層66と、pチャネル層67と、Siキャップ層68と、ゲート絶縁膜69とが順次掲載されている。また、基板上には、nチャネル型電界効果トランジスタ(以下、n-HMOSと呼ぶ)、pチャネル型電界効果トランジスタ(以下、p-HMOSと呼ぶ)のゲート電極73、78がそれぞれ設けられている。また、ゲート電極73の両側方に位置するSiGeバッファ層63、n型高濃度ドーピング層64、スペーサー層65、nチャネル層66、pチャネル層67及びSiキャップ層68の各部分領域にはn型不純物が導入されて、n-HMOSのソース領域70及びドレイン領域71が形成されている。さらに、ゲート電極78の両側方に位置するSiGeバッファ層63、n型高濃度ドーピング層64、スペーサー層65、nチャネル層66、pチャネル層67及びSiキャップ層68の各部分領域にはp型不純物が導入されて、p-HMOSのソース領域75及びドレイン領域76が形成されている。ここで、SiGe緩和バッファ層62内においては、Si基板61内の単結晶Siの格子定数よりも格子定数の大きい結晶面を得るためにGe組成率が0から30%まで段階的に増大している。また、SiGeバッ

ァ層63は、SiGe緩和バッファ層62で発生した結晶欠陥がチャネル層66、67に悪影響を与えるのを防ぐ目的で設けられたものである。n型高濃度ドーピング層64は、nチャネル層66にキャリアを供給するための層であり、スペーサー層65はn型高濃度ドーピング層64内のイオン化した不純物がnチャネル層66に侵入してキャリアが散乱を受けるのを防ぐ目的で、両者を空間的に分離すべく設けられたものである。上記SiGeバッファ層63、n型高濃度ドーピング層64及びスペーサー層65は、いずれもGe組成率が30%のSiGeにより構成されている。

【0007】また、nチャネル層66は、n-HMOSにおいて電子が走行する層であり、pチャネル層67はp-HMOSにおいて正孔が走行する層である。Siキャップ層68は、SiGe層の上端にもヘテロ界面を利用したpチャネル層67を形成すべく設けられたものである。

【0008】このHCMOSにおいて、nチャネル層66中の不純物濃度が高いとキャリアが走行中にイオン化した不純物による散乱を受けるので、キャリアの移動度が低下する。そこで、高移動度を実現するためには、nチャネル層66とは異なる領域であるn型高濃度ドーピング層64内に高濃度の不純物を導入しておき、このn型高濃度ドーピング層64からnチャネル層66にキャリアを供給するように構成されている。つまり、ヘテロ電界効果トランジスタを作成する際には、チャネル層にキャリアを供給できる程度に近接し、かつ、キャリアのイオン散乱が発生しない程度にチャネル層から離れた位置に不純物をドーピングする必要がある。特に、チャネル層内には不純物が導入されないようなドーピング技術が重要となる。

【0009】図7は、文献2 (R. peopleら Journal of Vacuum Science Technology 1985A3.p.846-850) に掲載されている特性図であって、Si系ヘテロ電界効果トランジスタの基本構成要素である積層構造、つまり上下のSi層でSiGe層を挟んだ構造を有するpチャネル層における移動度のドーピングプロファイル依存性を示す特性図である。図中、曲線HmaはチャネルとなるSiGe層にもp型不純物を導入したサンプルAのホール移動度を、曲線Hmbはp型不純物導入層とSiGe層を連続して成長したサンプルBのホール移動度を、曲線Hmcはp型不純物導入層とSiGe層の間に不純物を導入しないSi層(スペーサー層)を設けたサンプルCのホール移動度をそれぞれ示す。図6(a)~(c)は、上記サンプルA~Cの構造をそれぞれ示す断面図である。図7に示すように、曲線Hmaに比べ曲線Hmb、Hmc中の移動度は室温においても高く、さらに曲線Hmc中では曲線Hmb中よりも低温域でより高い移動度を示しているのがわかる。また、図8は、上記サンプルB、Cのシートキャリア密度の温度依存性を比較する特性図である。不純

(4) 開2000-12703 (P2000-12703A)

物導入層とチャネルの間に不純物を導入しないサンプルC(曲線Sc<sub>c</sub>)では、サンプルB(曲線Sc<sub>b</sub>)にくらべ低温でキャリア密度の低下が発生しているのがわかる。

【0010】図7、図8から明らかなように、ヘテロ電界効果トランジスタの特性の高性能化、最適化には不純物の高精度分布制御技術が不可欠である。

【0011】

【発明が解決しようとする課題】しかしながら、上記従来のin-situ ドーピング技術においては、以下のような問題があった。

【0012】一般に、Si系結晶のエピタキシャル成長技術においては、大口径基板への適合性、量産性、結晶成長機構の特性などから、化合物半導体の結晶成長に用いられている固体ソースを用いるMBE法は適しておらず、シランやジシランといった水素化合物の気体をソースとして用いるCVD法が適している。特に、超高真空中で結晶成長を行なうUHV-CVD法が先に述べた高性能デバイスの作成法として最適であるが、気体ソースを用いる結晶成長においてin-situ ドーピングを行なっていると、本来不純物を導入したくないスペーサー層に不純物がドーパされ特性が低下してしまうという現象があった。これは、以下の原因によるものと推定される。

【0013】すなわち、in-situ ドーピングを行なうために結晶成長装置内に導入された不純物を含む気体(ドーパントガス)は、そのすべてが供給中に結晶中に取り込まれるわけではなく、その大部分はそのまま結晶成長装置から排出される。しかし、結晶成長装置に供給されたドーパントガスはその供給を停止した後も瞬時には結晶成長装置から排出されるわけではなく、時間の経過とともにその残留分圧が低下していくものの、ドーパントが結晶成長装置の各部に残存している。この残留ガスがその後成長させる結晶中にも取り込まれ、希望しないドーピングが行なわれてしまう。したがって、ヘテロ電界効果トランジスタなどにおいて、このガス供給停止後の残留分圧により、本来不純物を導入したくないスペーサー層に不純物がドーパされ特性が低下してしまうものと考えられる。

【0014】本発明は、斯かる点に着目してなされたものであって、その目的は、キャリア蓄積領域とキャリア供給領域との間に介在するスペーサー層へのキャリア生成用不純物の取り込みを抑制する手段を講ずることにより、特性の劣化の少ない半導体装置及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】本発明は、上記問題を高濃度ドーピングを行なう層の結晶を、高濃度ドーパ層の直後に成長させる結晶よりも結晶成長中の不純物の取り込み効率の高い結晶とすることにより解決する。具体的には、以下のような半導体装置及びその製造方法に関する手段を講じている。

【0016】本発明の半導体装置の製造方法は、基板上に、キャリアが供給されるキャリア蓄積領域と、該キャリア蓄積領域にキャリアを供給するためのキャリア供給領域と、上記キャリア蓄積領域と上記キャリア蓄積領域との間に設けられたスペーサー層とを備えた半導体装置の製造方法であって、キャリア生成用不純物を含む第1の気体を供給して、上記キャリア供給領域用の第1の結晶層を基板上に成長させる第1のステップと、第2の気体を供給して、上記第1の結晶層の上に、上記キャリア生成用不純物の取り込み効率が第1の結晶層よりも小さい材料からなり、上記スペーサー層用の第2の結晶層を成長させる第2のステップと、第3の気体を供給して、上記第2の結晶層の上に、上記キャリア蓄積領域用の第3の結晶層を成長させる第3のステップとを含んでいる。

【0017】この方法により、第2のステップにおいても、第1のステップで第1の気体に含まれていたキャリア生成用不純物が結晶製造用の装置内に残留しており、第2の気体の中にキャリア生成用不純物が混入する。そのとき、第2の結晶層が第1の結晶層よりもキャリア生成用不純物の取り込み効率が低い材料により構成されているので、第2の結晶層へのキャリア生成用不純物の混入量を低減することができる。すなわち、第2の結晶層から形成されるスペーサー層におけるキャリア生成用不純物量が多いことによる半導体装置の特性の劣化を有効に抑制することができる。

【0018】上記半導体装置の製造方法において、上記第2及び第3のステップでは、上記キャリア生成用不純物を実質的に含まない上記第2及び第3の気体を供給することが好ましい。

【0019】この方法により、スペーサー層やキャリア蓄積領域にキャリア生成用不純物がほとんど存在しないことで、動作速度や電流量の大きい特性のよい半導体装置が得られることになる。

【0020】上記半導体装置の製造方法において、上記第1の結晶層にGeを含ませ、上記第2の結晶層をSiにより構成することができる。

【0021】上記半導体装置の製造方法において、上記第1及び第2の結晶層が $Si_{1-x}Ge_x$  ( $0 \leq x \leq 1$ )により構成されている場合には、上記第2の結晶層のGe組成率が上記第1の結晶層のGe組成率よりも大きいことが好ましい。

【0022】この方法により、 $Si_{1-x}Ge_x$ 層においてはGe組成率が大きいほどキャリア生成用不純物の取り込み効率がよくないことを利用して、スペーサー層におけるキャリア生成用不純物量の低減を図ることができる。

【0023】上記半導体装置の製造方法において、上記第1及び第2の結晶層の成長には、Geの水素化合物とSiの水素化合物とを用いることが好ましい。

(5) 開2000-12703 (P2000-12703A)

【0024】本発明の半導体装置は、基板と、上記基板上に設けられ、キャリアが供給されるキャリア蓄積領域と、キャリア生成用不純物を含み、上記キャリア蓄積領域にキャリアを供給するためのキャリア供給領域と、上記キャリア蓄積領域と上記キャリア供給領域との間に設けられ、上記キャリア生成用不純物の取り込み効率が上記キャリア供給領域よりも小さい材料により構成されるスペーサー層とを備えている。

【0025】これにより、スペーサー層がキャリア供給領域よりもキャリア生成用不純物の取り込み効率が低い材料により構成されているので、製造工程におけるスペーサー層へのキャリア生成用不純物の混入量を低減することができる。すなわち、スペーサー層におけるキャリア生成用不純物量が多いことによる半導体装置の特性の劣化を有効に抑制することができる。

【0026】上記スペーサー層及び上記キャリア蓄積領域は上記キャリア生成用不純物を実質的に含まないことが好ましい。

【0027】上記半導体装置において、上記キャリア供給領域にGeを含ませ、上記スペーサー層をSiにより構成することができる。

【0028】上記キャリア供給領域及び上記スペーサー層が $Si_{1-x}Ge_x$  ( $0 \leq x \leq 1$ ) により構成されている場合には、上記スペーサー層のGe組成率が上記キャリア供給領域のGe組成率よりも大きいことが好ましい。

【0029】上記半導体装置において、上記キャリア蓄積領域は、上記キャリア供給領域内のキャリア生成用不純物と同一極性のキャリアを走行させるチャネル領域として機能させることができる。

【0030】これにより、キャリア蓄積領域におけるキャリアの走行速度の高い電界効果トランジスタが得られることになる。

【0031】

【発明の実施の形態】以下、本発明の実施形態について説明する前に、本発明の裏付けとなる実験の結果について説明する。

【0032】本発明者達は、以下のUHV-CVD法による結晶成長実験において、SiGe層へのドーパント不純物（キャリア生成用不純物）の取り込まれ効率は、SiGe層中のGe組成率に依存することを見出した。

【0033】図2は、SiGe混晶内にB（ボロン）を導入する場合におけるB濃度の $B_2H_6$ （ドーパントガス）の圧力依存性を示す特性図である。ただし、同図の横軸は結晶成長装置内における $B_2H_6$ の分圧を制御する圧力制御装置の設定値であり、 $B_2H_6$ の分圧はこの設定値に比例する。そして、UHV-CVD装置内におけるSiのソースガスである $Si_2H_6$ と、Geのソースガスである $GeH_4$ と、Bのソースガスである $B_2H_6$ との分圧を変化させながら結晶成長を行なった。その

際、 $Si_2H_6$ 及び $GeH_4$ の分圧は数mTorr程度であり、 $B_2H_6$ の分圧は $10^{-7} \sim 10^{-6}$ Torr程度であった。また、成長中の基板温度は $550^\circ\text{C}$ で一定である。結晶中のGe組成率の評価はX線解析又は分光エリプソメトリ法により行ない、B濃度の評価はSIMS（二次イオン検出法）により行なった。

【0034】同図において、△はGe組成率が10%であるSiGe混晶、■はGe組成率が20%であるSiGe混晶のB濃度の圧力依存性のデータをそれぞれ示す。同図から明らかなように、任意のドーパントガスの分圧値において、同じドーパントソースガスの分圧値で比べると、Ge組成率が高い（20%）結晶内のB濃度が高いことがわかる。例えば、Ge組成率が20%のサンプル（△参照）のB濃度は、Ge組成率が10%のサンプルに比べ2～5倍程度になっている。

【0035】つまり、SiGe結晶中に $1 \times 10^{18} \text{ cm}^{-3}$ のBを導入しようとする、Ge組成率が20%であるSiGe層内には、Ge組成率が10%であるSiGe層内の半分の $B_2H_6$ の分圧でよいことがわかる。

【0036】また、 $B_2H_6$ の分圧が同じであっても、Ge組成率が20%のSiGe層中には $2.5 \times 10^{16} \text{ cm}^{-3}$ 程度のBが取り込まれているのに対し、Ge組成率が10%のSiGe層中には $4.7 \times 10^{15} \text{ cm}^{-3}$ 程度のBしか取り込まれていない。つまり、SiGe層中のGe組成率を20%から10%に低減することにより、SiGe層中のB濃度を1/5程度に低減することができる。

【0037】そして、UHV-CVD装置内におけるドーパントガスの分圧が同じである場合に、SiGe混晶中のGe組成率が高いほど混晶中に取り込まれるドーパントの濃度が高くなるという傾向は、 $B_2H_6$ の代わりにn型不純物のソースガスである $PH_3$ を用いた実験においても確認された。

【0038】以上の現象は、Ge組成率が高まることにより結晶の成長速度が増大し、in-situ ドーピング時に不純物の取り込み効率を低減する要因の1つの考えられる、不純物原子の表面偏析による表面活性サイトのブロック効果が弱められるためと思われる。したがって、As $H_3$ を用いたAsドーピングをはじめ、その他の不純物元素のソースガスを用いた不純物ドーピングにおいても、同様の効果が期待できる。

【0039】つまり、不純物をドーピングしようとするSiGe層内のGe組成率を高めておけば、同じ量の不純物を結晶内にドーピングするのに必要な不純物のソースガス量を低減できる。言い換えると、不純物のソースガスの分圧が同じであっても、SiGe層中のGe含有量を低減することにより、SiGe層中に取り込まれる不純物量を低減することができる。

【0040】また、以上の傾向から、SiGe層の中でもGe組成率が0の場合つまりSi層の場合には、不純

(6) 開2000-12703 (P2000-12703A)

物の取り込まれ効率は大幅に小さくなることがわかる。

【0041】ここで、既に説明したように、気相成長法においてドーピングプロファイルの制御を困難にする一つの原因は、成長室内のドーパントガスの残留分圧である。ドーピングを行なうために結晶成長装置内に導入されたドーパントガスは、ドーパントガスの供給を停止した後も完全に結晶成長装置から排出されるまでにある程度の時間を要する。この時間は、当然ながら結晶成長装置に導入するドーパントガスの量が多いほど長くなる。このドーパントガスの供給の停止後、ドーパントガスが成長室内から完全に排出されるまで結晶成長装置内に留まるドーパントガスが本来ドーピングを行ないたくない結晶層に取り込まれるためにドーピングプロファイルが求めるものとは異なったものになってしまう。

【0042】そこで、本発明では、チャンネル層とキャリア供給層との間に介在するスペーサー層の不純物取り込み効率を低減させる工夫をすることで、スペーサー層5の不純物濃度あるいは厚みを低減し、デバイスの特性を改良するようにしている。以下の実施形態において、そのための構造及び製造方法を具体的に説明する。

【0043】(第1の実施形態) 図1は、第1の実施形態に係るヘテロ電界効果トランジスタの1種であるHCMOSの断面図である。同図に示すように、Si基板1の上には、SiGe緩和バッファ層2と、SiGeバッファ層3と、n型高濃度ドーパ層4と、スペーサー層5と、nチャンネル層6と、pチャンネル層7と、Siキャップ層8と、ゲート絶縁膜とが順次形成されている。また、基板上には、nチャンネル型電界効果トランジスタ(以下、n-HMOSと呼ぶ)、pチャンネル型電界効果トランジスタ(以下、p-HMOSと呼ぶ)のゲート電極13、18がそれぞれ設けられている。また、ゲート電極13の両側方に位置するSiGeバッファ層3、n型高濃度ドーパ層4、スペーサー層5、nチャンネル層6、pチャンネル層7及びSiキャップ層8の各部分領域にはn型不純物が導入されて、n-HMOSのソース領域10及びドレイン領域11が形成されている。さらに、ゲート電極18の両側方に位置するSiGeバッファ層3、n型高濃度ドーパ層4、スペーサー層5、nチャンネル層6、pチャンネル層7及びSiキャップ層8の各部分領域にはp型不純物が導入されて、p-HMOSのソース領域15及びドレイン領域16が形成されている。ここで、SiGe緩和バッファ層2内においては、Si基板1内の単結晶Siの格子定数よりも格子定数の大きい結晶面を得るためにGe組成率が0から10%まで段階的に増大している。また、SiGeバッファ層3は、チャンネル層にSiGe緩和バッファ層2で発生した結晶欠陥が影響を与えるのを防ぐ目的で設けられたものである。n型高濃度ドーパ層4は、nチャンネル層6にキャリアを供給するための層であり、スペーサー層5はn型高濃度ドーパ層4内のイオン化した不純物がnチャネ

ル層6に侵入してキャリアが散乱を受けるのを防ぐ目的で、両者を空間的に分離すべく設けられたものである。上記SiGeバッファ層3及びスペーサー層5は、いずれもGe組成率が10%のSiGeにより構成されている。一方、上記n型高濃度ドーパ層4はGe組成率が20%のSiGeにより構成されている。

【0044】また、nチャンネル層6は、n-HMOSにおいて電子が走行する層であり、pチャンネル層7はp-HMOSにおいて正孔が走行する層である。Siキャップ層8は、SiGe層の上端にもヘテロ界面を利用したpチャンネル層7を形成すべく設けられたものである。

【0045】以上の構造は、図5に示す従来のHCMOSの構造とよく似ているが、本実施形態においては、n型高濃度ドーパ層4のGe組成率がSiGeバッファ層のGe組成率よりも高い点が特徴である。すなわち、図5に示す従来のHCMOSにおいては、SiGeバッファ層63、n型高濃度ドーパ層64及びスペーサー層65におけるGe組成率はいずれも30%であり均一であるが、本実施形態では、スペーサー層5におけるGe組成率が10%であるのに対し、n型高濃度ドーパ層4におけるGe組成率は20%となっており、両者のGe組成率を異ならせている。

【0046】本実施形態によると、すべての層を同じGe組成率のSiGeにより構成するかすべての層をSiにより構成した従来のトランジスタに比べ、以下のような作用効果を発揮することができる。

【0047】第1に、n型高濃度ドーパ層4のGe組成率を20%として、その上に成長させるスペーサー層5のGe組成率10%よりも高くしているので、製造工程において、n型高濃度ドーパ層4の成長中に供給すべきドーパントガスの量を減らしても所望の不純物濃度を得ることができる。そして、n型高濃度ドーパ層4の成長中に供給すべきドーパントガスの量を低減できることから、ドーパントガスの供給停止後一定時間が経過したときのドーパントガスの残留分圧を従来の方法よりも小さくできるために、スペーサー層5における不純物濃度を低減することができる。

【0048】第2に、ドーピング濃度を低減したい層であるスペーサー層5のGe組成率は従来と同様に低くしておくことにより、Ge組成率の高いn型高濃度ドーパ層4を不純物濃度低減層に用いた場合に比べ、同じ残留分圧下で成長させても結晶中の不純物濃度を低くすることが可能となる。このことは、図2において、 $B_2H_6$ の設定値が同じ0.02でも、結晶中に取り込まれているB濃度が、Ge組成率が10%のSiGe混晶ではGe組成率が20%SiGe混晶の半分程度であることから明らかである。

【0049】その結果、スペーサー層の厚みが変わらないとすると、スペーサー層の上に成長されるチャンネル層中にドーパされる不純物の濃度を従来のドーピング法を



(7) 開2000-12703 (P2000-12703A)

用いた場合よりも低くすることができ、チャネル層のキャリアの移動度の向上を図ることができる。

【0050】また、スペーサー層の厚みを薄くしても両者間の不純物濃度差を大きくすることも可能になる。その場合には、スペーサー層5の膜厚が薄くなることにより、nチャネル層6がn型高濃度ドーパ層4に近づいてnチャネル層6中のキャリア密度が増大するので、デバイスの特性の向上を期待することができる。

【0051】次に、本実施形態に係るHCMOSの製造工程について説明する。

【0052】まず、イオン注入により、nウエルとpウエル（いずれも図示せず）が形成されたSi基板1にRCA法等の洗浄処理を施して表面の不純物を除去した後、フッ酸処理することにより表面を水素終端させた状態で結晶成長装置に導入する。

【0053】そして、基板をロードロックを介して真空容器内に導入した後、真空容器内の真空度を $10^{-9}$ Torr程度まで上げた後、基板温度を所望の結晶成長温度（550℃程度）まで昇温させる。ここで、水素終端が十分な状態においてはそのまま結晶成長させても良いし、基板表面の残存自然酸化膜が問題になるようであれば水素やシラン、ジシラン等の雰囲気下で900～1100℃程度に数秒～数分の間加熱し、自然酸化膜を除去して基板の清浄表面を露出させた後に、以下の手順に従って結晶成長を行なう。

【0054】結晶成長装置にソースガスを導入する場合、Siのソースガスとしてはシラン（ $\text{SiH}_4$ ）やジシラン（ $\text{Si}_2\text{H}_6$ ）などの水素化シリコン類を用い、Geのソースガスとしてはゲルマン（ $\text{GeH}_4$ ）を用いることができる。これらのソースガスは100%濃度のものでもよいし、水素で数%に希釈したものでもよい。また、SiやSiGeを成長させるためのソースガスの分圧は数mTorr程度でよい。SiGe中のGe組成率の制御は、SiソースとGeソースの分圧比を変化させることで行なうことができる。例えば全圧を一定に保って両者の分圧比を変化させてもよいし、例えばSiソースの分圧を一定にしておき、Geソースの分圧だけを変化させてもよい。後者の方が制御は容易である。

【0055】まず、基板1の上にSiGe緩和バッファ層2を成長させる。これは格子緩和したSiGe層を得るためであり、Ge組成を段階的に（例えば5%ずつ）増やした混晶層を成長させる。SiGe緩和バッファ層2のトータルの膜厚は1μm程度である。このSiGe緩和バッファ層2は格子欠陥を大量に含んでいる。

【0056】次に、SiGe緩和バッファ層2の上にGe組成率が10%である単一組成のSiGeバッファ層3を成長させる。このSiGeバッファ層3の厚みは30～50nm程度でよい。

【0057】次に、SiGeバッファ層3の上に、Ge組成率が20%のn型高濃度ドーパ層4を成長させる。

その際のドーピングはSiソースとGeソースとともに、不純物を含んだドーパントガスを結晶成長装置に導入することにより行なわれる。ドーパントガスは燐ドーパを行なう際は $\text{PH}_3$ が用いられ、Asドーパを行なう際は $\text{AsH}_3$ 等が用いられる。本実施形態のn型高濃度ドーパ層4を形成する場合には $\text{PH}_3$ を用いている。なお、ドーパントガスは水素で100～500ppm程度に希釈したものをを用いたほうが適度な流量となり、分圧の制御が容易である。

【0058】次に、n型高濃度ドーパ層4の成長後、スペーサー層5の成長開始までに $\text{PH}_3$ の供給を停止し、Ge組成率が10%で厚みが1～2nm程度のスペーサー層を成長させる。スペーサー層の組成は $\text{Si}_{0.7}\text{Ge}_{0.3}$ であり、そのGe組成率はn型高濃度ドーパ層4のGe組成率よりも小さくなっている。

【0059】このように、n型高濃度ドーパ層4のGe組成率を20%として、その上に成長させるスペーサー層5のGe組成率10%よりも高くしているため、n型高濃度ドーパ層4の成長中に供給すべきドーパントガスの量を減らしても所望の不純物濃度を得ることができる。図2に示すように、上述の成長条件では、結晶中の硼素の濃度を $1 \times 10^{18} \text{ cm}^{-3}$ としたいとき、Ge組成率が20%のSiGe混晶の場合には、 $\text{B}_2\text{H}_6$ の設定値が0.5程度でよく、Ge組成率が10%のSiGe混晶に $\text{B}_2\text{H}_6$ をドーパする際の設定値0.95に比べて1/2程度にすることができる。このことにより、ドーパントガスを結晶成長装置から排出するために要する時間を短縮することができる。

【0060】次に、スペーサー層5の上にSiからなるnチャネル層6を成長させ、さらにその上にSiGeからなるpチャネル層7を成長させる。このnチャネル層6およびその上のpチャネル層7中の不純物濃度をできる限り低減するのがデバイス特性向上の重要な要点である。本実施形態の製造方法の場合、上述のように、スペーサー層5の不純物濃度を低くすることができるので、スペーサー層5の厚みが変わらないとすると、nチャネル層6を形成する際における不純物のソースガスの分圧が低くなり、nチャネル層6にドーパされる不純物の濃度が従来のドーピング法を用いた場合よりも低くなる。また、後述するように、nチャネル層6、pチャネル層7共に膜厚を5nm程度まで薄くすることができる。

【0061】次に、pチャネル層7の上にSiキャップ層8を成長させ、エピタキシャル成長プロセスは完了する。最後に成長させるSiキャップ層8は、その下のSiGeからなるpチャネル層7とヘテロ界面を形成するためのものであるが、同時にゲート絶縁膜となるSi酸化膜を熱酸化により形成するためにも用いられる。このSiキャップ層8の厚みは、ゲート酸化後に1nmの厚みが残る程度であればよい。

【0062】以上のエピタキシャル成長プロセス以降に

(8) 開2000-12703 (P2000-12703A)

においては、通常のSiCMOSプロセスとはほぼ同様の手順を行なうことで、HCMOSを作成することができる。つまり、エピタキシャル成長が完了した基板の表面(Siキャップ層8の表面)を酸化してゲート絶縁膜9を形成し、基板上にポリシリコン膜を堆積した後、パターンニングしてゲート電極13、18を形成する。その後、p-HMOS形成領域を覆うレジスト膜及びゲート電極13をマスクとしてn型不純物(リン)イオンを基板内に注入することにより、n-HMOSのソース領域10及びドレイン領域11を形成する。さらに、n-HMOS形成領域を覆うレジスト膜及びゲート電極18をマスクとしてp型不純物(ボロン)イオンを基板内に注入することにより、p-HMOSのソース領域15及びドレイン領域16を形成する。

【0063】以上の工程により、図1に示すHCMOSの構造を容易に得ることができる。

【0064】(第2の実施形態)次に、第2の実施形態に係るHCMOSについて説明する。本実施形態では、スペーサー層としてSi層を用いた $Si_{1-y}C_y$ -Si系ヘテロ電界効果トランジスタについて説明する。Si層は不純物の取り込み効率が低いために、スペーサー層を構成する材料として適している。

【0065】ここで、Siからなるスペーサー層を有するヘテロ電界効果トランジスタの例として、Si基板に面内の格子定数が一致したC濃度の低い $Si_{1-y}C_y$ を設けて形成されるヘテロ接合を有する電界効果トランジスタがある。例えば、 $Si_{0.98}C_{0.02}$ 層をSi基板上に成長させた場合、図4に示すように、Siと伝導帯側にバンド段差を発生させるために、2つのSi層によって $Si_{0.98}C_{0.02}$ 層を挟み込んだ構造を採ると、 $Si_{0.98}C_{0.02}$ 層に2次元電子ガスを形成することが可能となる。本実施形態に係るn-HMOSは、2次元電子ガスを利用して高速動作を行なわせるものである。

【0066】図3は、本実施形態に係るヘテロ電界効果トランジスタの断面図である。同図に示すように、Si基板211の上には、n型高濃度ドーパントSiGe層22と、Siスペーサー層23と、 $Si_{0.98}C_{0.02}$ nチャネル層24と、Siキャップ層25と、ゲート絶縁膜26とが下方から順に形成されている。基板上には、nチャネル型電界効果トランジスタのゲート電極27が設けられている。また、ゲート電極27の両側方に位置するSi基板21、n型高濃度ドーパントSiGe層22、Siスペーサー層23、 $Si_{0.98}C_{0.02}$ nチャネル層24及びSiキャップ層25の各部分領域にはn型不純物が導入されて、n-HMOSのソース領域29及びドレイン領域30が形成されている。

【0067】上記n型高濃度ドーパントSiGe層22は、 $Si_{0.98}C_{0.02}$ nチャネル層24にキャリアを供給するための層であり、Siスペーサー層23はn型高濃度ドーパントSiGe層22内のイオン化した不純物が $Si_{0.98}$

$C_{0.02}$ nチャネル層24に侵入してキャリアが散乱を受けるのを防ぐ目的で、両者を空間的に分離すべく設けられたものである。上記Siスペーサー層23はSiにより構成されている。一方、上記n型高濃度ドーパントSiGe層22はGe組成率が20%のSiGeにより構成されている。

【0068】また、 $Si_{0.98}C_{0.02}$ nチャネル層24は、n-HMOSにおいて電子が走行する層である。Siキャップ層25は、 $Si_{0.98}C_{0.02}$ nチャネル層24の上端にもヘテロ界面を形成するように、 $Si_{0.98}C_{0.02}$ nチャネル層24を上下のSi層で挟み込んで、2次元電子ガスが走行するチャネル領域を形成するために設けられている。

【0069】ここで、本実施形態に係るn-HMOSの特徴は、Siにより構成されるSiスペーサー層23の下方にn型高濃度ドーパントSiGe層22を設けている点である。その場合、Siはドーパントの取り込み効率がSiGeよりも低いので、高濃度ドーパント層をSiGeにより構成し、スペーサー層をSiにより構成することにより、上記第1の実施形態と同様の効果を発揮することができる。

【0070】すなわち、高濃度ドーパント層をSiGeにより構成し、スペーサー層をSiにより構成すると、次に述べる製造工程の特性上、高濃度ドーパント層をスペーサー層と同じSiにより構成する場合に比べ、スペーサー層中の不純物濃度を低減するか、あるいはスペーサー層の厚みを低減することができるために、上記第1の実施形態と同様にトランジスタの動作特性の改善を図ることができる。

【0071】次に、図3に示す構造を実現するための製造工程について説明する。

【0072】まず、第1の実施形態で説明したのと同じ手順により、基板の清浄化などの処理を行ない、結晶成長を開始する。

【0073】最初に、Si基板21の上に、キャリア供給領域となるn型高濃度ドーパントSiGe層22を成長させる。n型ドーパントとしてはAsやPを用いることができ、それぞれのソースとして $AsH_3$ や $PH_3$ などを用いることができる。ここで、SiGe層はSi層よりもAsやPといった不純物の取り込み効率が高いため、Siにより高濃度ドーパント層を形成する場合に比べ、結晶成長装置に導入しなければならない不純物ソースの量を低減することができる。

【0074】次に、n型高濃度ドーパントSiGe層22の成長が完了すると、結晶成長装置への不純物ソースの供給を停止して、Siスペーサー層23を成長させる。このとき、スペーサー層を不純物の取り込み効率がSiGeよりも低いSiにより構成しているために、スペーサー層を高濃度ドーパント層と同じSiGeにより構成する場合に比べ、スペーサー層中の不純物濃度が低減し、トラ

(9) 開2000-12703 (P2000-12703A)

ンジスタの動作特性が改善される。

【0075】次に、Si spacer層23の成長後、 $Si_{0.98}C_{0.02}n$ チャネル層24を成長させる。 $Si_{1-y}C_y$ 層の形成は、Siのソースと同時にCのソースを結晶成長装置内に導入することにより行なうことができる。Cのソースとしては、モノメチルシランのような有機シラン類やアセチレンのような炭化水素類を用いることができる。

【0076】次に、 $Si_{0.98}C_{0.02}n$ チャネル層24の成長後に、Siキャップ層25を成長させると、一連の結晶成長処理が終了する。

【0077】この結晶成長が終了した基板の上に、熱酸化などを行なってゲート絶縁膜26を形成し、さらに、その上にポリシリコン膜を堆積した後、イオン注入工程、エッチング工程などを行なって、ゲート電極27、ソース領域29、ドレイン領域30を形成する。さらに、ソース領域29の上にソース電極26を、ドレイン領域30の上にドレイン電極28をそれぞれ形成する。

【0078】以上の一連の工程により、図3に示すn-HMOSTランジスタの構造が容易に形成される。

【0079】以上の工程において、結晶成長の開始時点における基板の清浄度、平坦度等に問題がある場合には、n型高濃度ドーパSiGe層22の成長前に、必要に応じてSi単結晶からなるバッファ層を成長させてもよい。

【0080】なお、spacer層をSiにより構成した例として、pチャネル層をSiGeにより構成したpチャネル型電界効果トランジスタや、チャネル層をSiGeCにより構成した電界効果トランジスタがある。ただし、SiGeCを用いる場合には、pチャネル層とするかnチャネル層とするかは、組成率に依存する。なお、nチャネル層の場合は、高濃度ドーパ層にn型不純物をドーパし、pチャネル層の場合は高濃度ドーパ層にp型不純物をドーパする。

【0081】(その他の実施形態)なお、本発明は、電界効果トランジスタ以外のデバイスに適用しても、同様の効果を発揮することができる。例えば、半導体レーザーの場合、レーザー発振を行なわせる活性層(キャリア蓄積領域)にはキャリアを蓄積する必要があるが、多量の不純物が存在する場合、効率が低下してしまうので、活性層中の不純物濃度は低減しなければならない。したがって、本発明を半導体レーザーに適用することにより、特性の向上を図ることができる。

【0082】なお、上記各実施形態においては、Si、SiGe系についてのみ触れたが、本発明はかかる材料系に限定されるものではなく、不純物元素の取り込み効率の差がある材料系であれば、他の組合せでも実施可能であることは明らかである。

【0083】

【発明の効果】本発明のin-situ ドーピング技術を利用

すれば、高濃度ドーパ層の成長後における次の結晶層中の不純物濃度を低くすることが可能になり、素子の動作特性を向上させることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係るHCMOSの断面図である。

【図2】本発明の過程で求められたSiGe混晶中のB<sub>2</sub>H<sub>6</sub>圧力依存性を示すデータである。

【図3】本発明の第2の実施形態に係るn-HMOSの断面図である。

【図4】本発明の第2の実施形態に係るn-HMOSのバンド図である。

【図5】Sadekらの報告による従来のHCMOSの断面図である。

【図6】peopleらが報告した従来の各種SiGeチャネル構造を示す断面図である。

【図7】peopleらの報告によるSiGeチャネル移動度のドーピングプロファイル依存性を示すデータである。

【図8】peopleらの報告によるSiGeチャネルキャリア密度のドーピングプロファイル依存性を示すデータである。

【符号の説明】

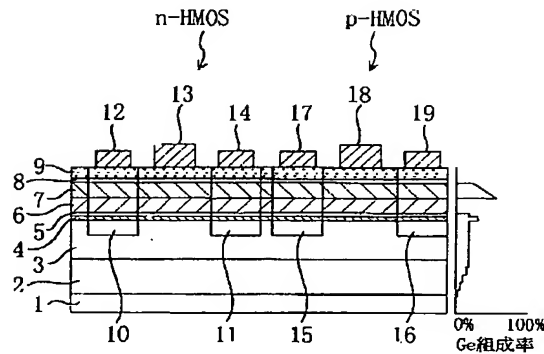
- 1 Si基板
- 2 SiGeバッファ層
- 3 SiGe緩和バッファ層
- 4 高濃度ドーパ層
- 5 spacer層
- 6 nチャネル層
- 7 pチャネル層
- 8 Siキャップ層
- 9 ゲート絶縁膜
- 10 ソース領域
- 11 ドレイン領域
- 12 ソース電極
- 13ゲート電極
- 14 ドレイン電極
- 15 ソース電極
- 16 ドレイン領域
- 17 ソース電極
- 18 ゲート電極
- 19 ドレイン電極
- 21 Si基板
- 22 n型高濃度ドーパSiGe層
- 23 Si spacer層
- 24  $Si_{0.98}C_{0.02}n$ チャネル層
- 25 Siキャップ層
- 26 ゲート絶縁膜
- 27 ゲート電極
- 28 ドレイン電極

(10) 2000-12703 (P2000-12703A)

29 ソース領域

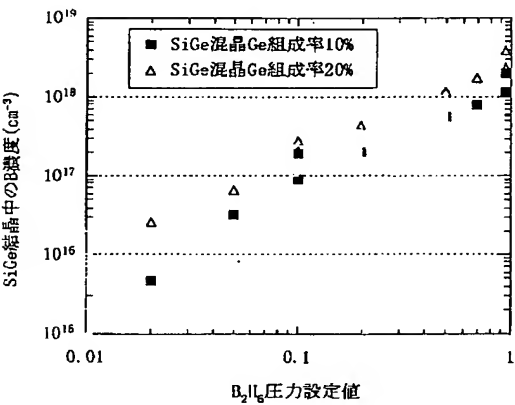
30 ドレイン領域

【図1】

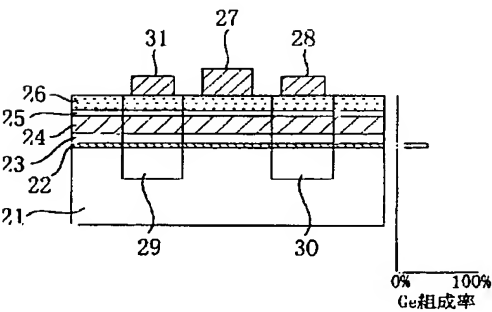


- 1 Si基板
- 2 SiGe緩和バッファ層
- 3 SiGeバッファ層
- 4 n型高濃度ドーパ層
- 5 スペース層
- 6 nチャネル層
- 7 pチャネル層
- 8 Siキャップ層
- 9 ゲート絶縁膜
- 10 ソース領域
- 11 ドレイン領域
- 12 ソース電極
- 13 ゲート電極
- 14 ドレイン電極
- 15 ソース領域
- 16 ドレイン領域
- 17 ソース電極
- 18 ゲート電極
- 19 ドレイン電極

【図2】

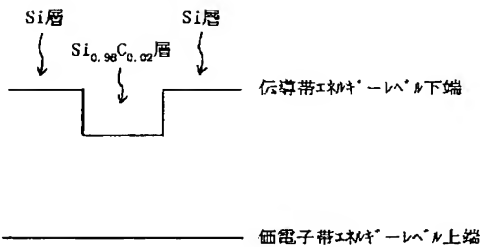


【図3】

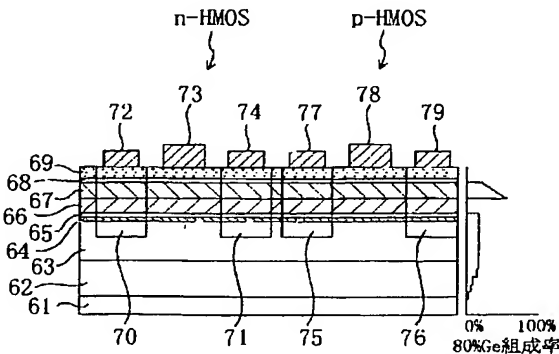


- 21 Si基板
- 22 n型高濃度ドーパ SiGe層
- 23 Si緩衝層
- 24 Si<sub>0.98</sub>C<sub>0.02</sub> nチャネル層
- 25 Siキャップ層
- 26 ゲート絶縁膜
- 27 ゲート電極
- 28 ドレイン電極
- 29 ソース領域
- 30 ドレイン領域
- 31 ソース電極

【図4】

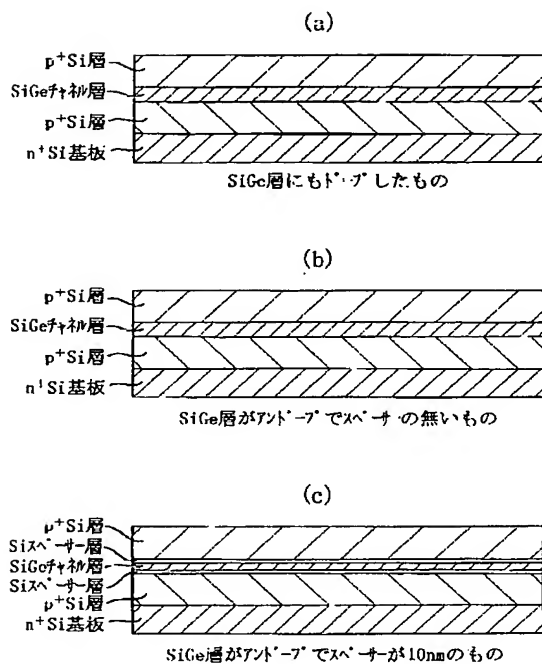


【図5】

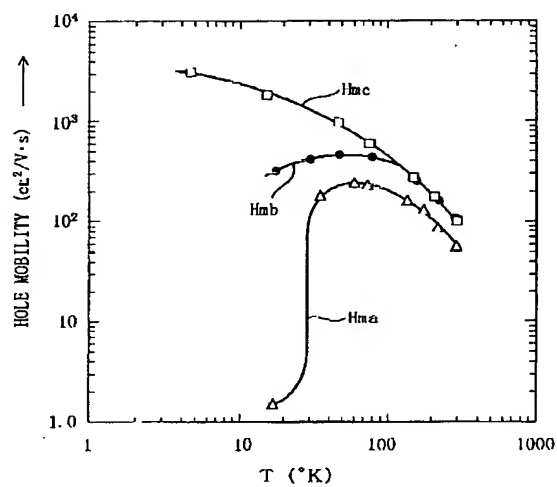


(11) 2000-12703 (P2000-12703A)

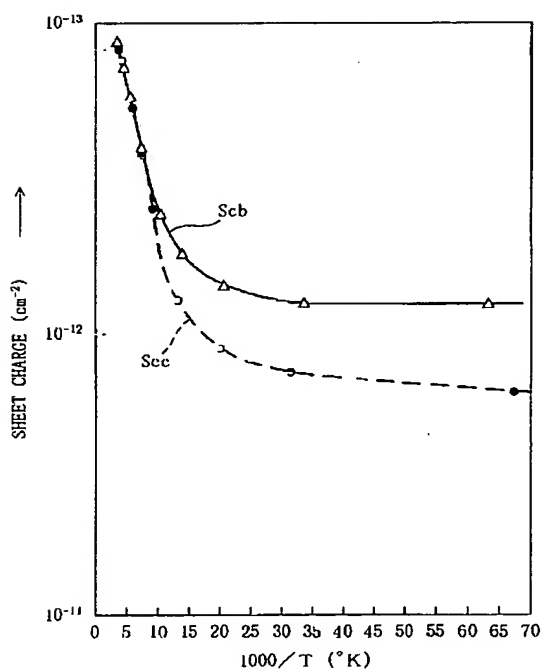
【図6】



【図7】



【図8】



(12) 2000-12703 (P2000-12703A)

フロントページの続き

(51)Int. Cl.<sup>7</sup>

識別記号

F I

(参考)

H O 1 L 29/812

(72)発明者 齋藤 徹

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内F ターム(参考) 5F045 AA11 AB02 AB05 AB06 AB32  
AC01 AD13 AE02 AF03 BB04  
CA05 CA12 CB02 DA52 DA58  
DC56 DC57  
5F048 AA07 AC03 BA04 BB05 BD05  
BD09 BF03  
5F102 GA05 GB01 GC01 GD10 GJ03  
GK02 GK08 GL02 GL08 GM02  
GQ02 GR07 GR10 GT10 HA02  
HC01 HC09